

УДК 004.272

Т. Б. Мартинюк, Л. В. Крупельницький, Б. І. Круківський

РЕГУЛЯРНА ОБЧИСЛЮВАЛЬНА СТРУКТУРА ДЛЯ РАНЖУВАННЯ ДАНИХ

Вінницький національний технічний університет, Вінниця

Анотація. У статті розглянуто функціональні можливості обчислювача з регулярною структурою, наведено його структурну схему. Обчислювач містить регістрову пам'ять, пам'ять даних, пам'ять рангів, масив елементів маски, вузол керування та масив індикаторів. Пам'ять даних містить масив вхідних лічильників, пам'ять рангів - масив вихідних лічильників. Обчислювач не тільки виконує сортування, але й має можливість візуалізувати результати ранжування відсортованих елементів вхідного масиву чисел за рахунок блока індикації, який містить пам'ять рангів і масив індикаторів. Регулярність структури обчислювача реалізовано у горизонтальному і вертикальному напрямках. Це дозволить ефективно її розмістити у мікросхемі ПЛІС з можливістю модульного нарощування. Проаналізовано особливості функціонування обчислювача для сортування з ранжуванням, які дозволяють прискорити процес обробки за рахунок використання швидкісних операцій декремента/інкремента. Ці операції застосовуються відповідно до масиву чисел та масиву рангів. Описано особливості процесу сортування в обчислювачі та наведено блок-схему алгоритму. Обчислювач реалізує альтернативний підхід до вертикальної обробки даних, а саме паралельно-вертикальне сортування масиву чисел. Розглянуто функціональну схему елемента маски, масив яких виконує головну роль у формуванні рангів відсортованих елементів числового масиву. Представлено схему з'єднань мікросхеми вихідного лічильника та семисегментного індикатора, які є складовими блока індикації обчислювача.

Ключові слова: регулярність, обчислювач, ранжування, візуалізація результатів.

Аннотация. В статье рассмотрены функциональные возможности вычислителя с регулярной структурой, приведена его структурная схема. Вычислитель содержит регистровую память, память данных, память рангов, массив элементов маски, узел управления и массив индикаторов. Память данных содержит массив входных счетчиков, память рангов – массив выходных счетчиков. Вычислитель не только производит сортировку, но и имеет возможность визуализировать результаты ранжирования отсортированных элементов входного массива чисел за счет блока индикации, который содержит память рангов и массив индикаторов. Регулярность структуры вычислителя реализована в горизонтальном и вертикальном направлениях. Это позволит эффективно ее разместить в микросхеме ПЛИС с возможностью модульного наращивания. Проанализированы особенности функционирования вычислителя для сортировки с ранжированием, позволяющие ускорить процесс обработки за счет использования скоростных операций декремента/инкремента. Эти операции применяются соответственно над массивом чисел и массивом рангов. Описаны особенности процесса сортировки в вычислителе и приведена блок-схема алгоритма. Вычислитель реализует альтернативный подход к вертикальной обработке данных, а именно параллельно-вертикальную сортировку массива чисел. Рассмотрена функциональная схема элемента маски, массив которых выполняет главную роль в формировании рангов отсортированных элементов числового массива. Представлена схема соединений микросхемы выходного счетчика и семисегментного индикатора, которые являются составляющими блока индикации вычислителя.

Ключевые слова: регулярность, вычислитель, ранжирование, визуализация результатов.

Abstract. The article discusses the functionality of a processor with a regular structure, the structural diagram is showed. Processor contains register memory, data memory, rank memory, an array of mask elements, a control unit, and an array of indicators. The data memory contains an array of input counters, and the rank memory contains an array of output counters. The processor not only performs sorting, but also has the ability to visualize the results of ranking sorted elements of the input array of numbers due to the display block, which contains rank memory and an array of indicators. The regularity of the processor structure is realized in the horizontal and vertical directions. This will make it possible to effectively place it in an FPGA chip with the possibility of modular expansion. The features of the functioning of the processor for sorting with ranking are analyzed, which makes it possible to speed up the processing process by using high-speed decrement/increment operations. These operations are applied according to an array of numbers and an array of ranks. The features of the sorting process in the processor are described and a block diagram of the algorithm is presented. The processor implements an alternative approach to vertical data processing, namely, parallel-vertical sorting of an array of numbers. The functional diagram of the mask element, an array of which plays the main role in the formation of the ranks of the sorted elements of a numeric array, is considered. The diagram of the connections of the chip of the initial counter and the seven-segment indicator, which are the components of the display block of the processor, is presented.

Key words: regularity, processor, ranking, visualization of results.

DOI: <https://doi.org/10.31649/1999-9941-2021-52-3-70-76>.

Вступ

У більшості прикладних задач операція ранжування масиву числових даних є допоміжною, яка дозволяє встановити місцезнаходження елементів у масиві за певними ознаками або співвідношенням, тобто в залежності від їх рангів [1]. Особливо зростає значимість результатів ранжування при класифікації об'єктів, наприклад, при діагностуванні захворювань [2], а також в процесі медіанної фільтрації [3].

Актуальність

Особливість застосування ранжування результатів класифікації (медичного/технічного діагностування) полягає в тому, що визначається пріоритет не тільки одного конкретного рішення (діагнозу) з найвищим рангом, але й найближчих до нього рішень (діагнозів) за їх рангом з врахуванням певних ознак (симптомів). Такий підхід знаходить ефективне застосування у системах підтримки прийняття рішень [4, 5], оскільки дозволяє уточнювати результат діагностування (класифікації). Особливий ефект наочності при цьому надає можливість візуалізувати результат ранжування [6].

При медіанній фільтрації доречно визначити середній за значенням ранг елемента у відсортованому векторному масиві чисел, який формується з елементів (пікселей) ковзного «вікна» фільтра. Це дозволяє визначити значення центрального елемента (пікселя) «вікна» в процесі сортування з ранжуванням за-

мість обчислення середнього арифметичного значення всіх елементів «вікна» [3]. А це, у свою чергу, значно прискорює процес фільтрації [7].

Крім того, враховуючи апаратну реалізацію обчислювача з функцією ранжування числових даних у вигляді співпроцесора, необхідною умовою є регулярність його структури. Це пов'язано з орієнтацією на сучасну елементу базу ПЛІС [8].

Мета

Метою даної роботи є розширення функціональних можливостей обчислювача з регулярною структурою за рахунок візуалізації результатів ранжування відсортованих елементів вхідного масиву даних.

Структура обчислювача для сортування з ранжуванням

На рис.1 наведено структурну схему обчислювача, базовими функціями якого є сортування з ранжуванням вхідного векторного масиву n чисел. Вузлами обчислювача є регістрова пам'ять, пам'ять даних, пам'ять рангів, масив елементів маски, вузол керування та масив індикаторів [7]. Процес сортування в обчислювачі відбувається одночасно із ранжуванням. В процесі сортування приймають участь масив вхідних лічильників як пам'ять даних, масив вихідних лічильників як пам'ять рангів та масив елементів маски [9]. По закінченню процесу сортування з ранжуванням його результати візуалізуються за рахунок використання блока індикації, до складу якого входять пам'ять рангів та масив індикаторів.

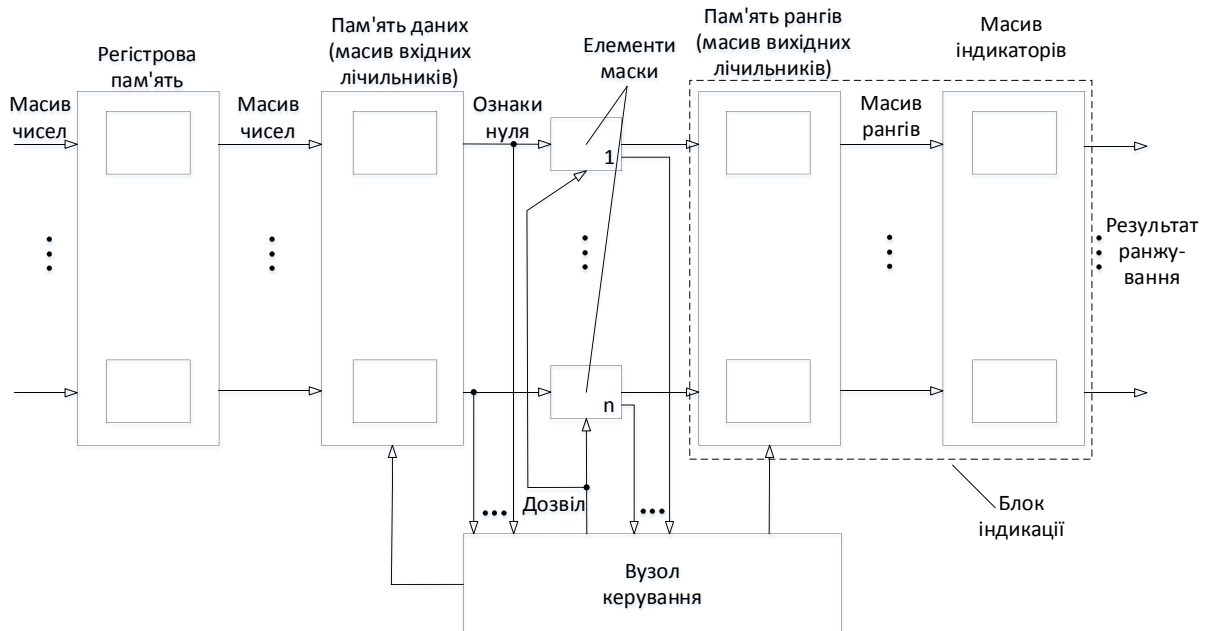


Рисунок 1 – Структурна схема обчислювача

Обчислювач має регулярну структуру, яка складається з n каналів обробки, де n – розмірність вхідного масиву чисел. Кожний канал містить регістр, вхідний лічильник, елемент маски, вихідний лічильник і елемент індикації. При цьому всі базові елементи у кожному каналі мають регулярні та локальні однонапрямні зв'язки.

Крім того, кожний вузол обчислювача (рис.1) також має регулярну структуру, оскільки містить однотипні базові елементи: регістри, лічильники, індикатори, елементи маски. Отже, регулярну структуру обчислювача як у горизонтальному, так і вертикальному напрямках легко розташувати у мікросхемі ПЛІС типу FPGA, а також реалізувати просте модульне нарощування кількості входів, а отже збільшення вхідного масиву чисел.

У даному обчислювачі (рис.1) вузлом, який виконує головну роль у формуванні рангів відсортованих елементів числового масиву, є масив елементів маски. На рис.2 представлено функціональну схему елемента маски. До його структури входять RS-тригер, елемент НІ та два елемента І [9].

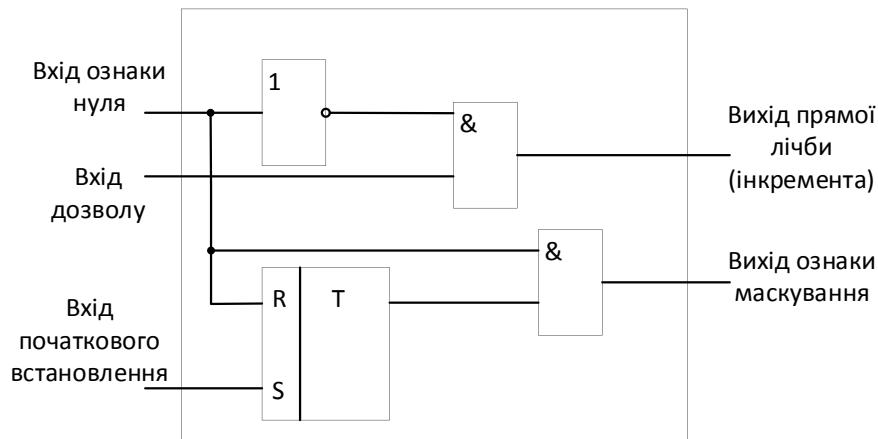


Рисунок 2 – Функціональна схема елемента маски

На початку роботи RS-тригер встановлюється в одиничний стан за відповідним входом. В процесі спрацювання елемента маски задіяно вхід ознаки нуля, який приходить від відповідного вхідного лічильника та вхід дозволу від вузла керування (рис. 1). RS-тригер спрацьовує (обнуляється) у момент обнулення відповідного вхідного лічильника та формує сигнал маскування відповідного вихідного лічильника. Цей сигнал маскує ранг відповідного вхідного лічильника, який обнулюється, і враховується вузлом керування при формуванні сигналу дозволу (рис.1). В іншому випадку в результаті спрацювання «відкритого» елемента маски формується одиничний сигнал на виході прямої лічби (інкремента), який подається на вхід лічби відповідного вихідного лічильника. Сигнал на виході ознаки маскування елемента маски формується за умови, якщо обнуляється відповідний вхідний лічильник [9].

Особливості функціонування обчислювача

На рис. 3 представлено блок-схему алгоритму сортування з ранжуванням. На початку роботи встановлюються в початковий (одиничний) стан вихідні лічильники та елементи маски. Після того як переписується числовий масив з регістрової пам'яті у вхідні лічильники, починається цикл, в процесі якого відбувається операція декремента одночасно у всіх вхідних лічильниках. Як тільки одне з чисел у масиві вхідних лічильників обнулюється, відбувається збільшення на одиницю чисел у немаскованих відповідних вихідних лічильниках (операція інкремента), окрім лічильника, який обнулюється.

У випадку появи одиничного сигналу на виході ознаки нуля останнього вхідного лічильника обчислювача, який ще не був обнулений, виконуються такі дії. Нехай останнім обнулиться k-ий вхідний лічильник обчислювача.

Тоді на його виході ознаки нуля з'являється одиничний сигнал, який подається на k-ий елемент маски, закриваючи проходження через нього сигналу на вхід прямої лічби k-го вихідного лічильника пам'яті рангів. На всіх інших виходах відповідних елементів маски не буде відбуватись ніяких дій, оскільки всі їх виходи вже закриті. Таким чином, процес сортування продовжується доки всі вхідні лічильники не будуть обнулені [7, 9]. У кінці циклу сформовані ранги вихідних лічильників можна візуалізувати за рахунок використання блока індикації [10].

Отже, час процесу сортування із залученням швидкісних операцій декремента/інкремента, що виконуються паралельно відповідно над числовим масивом і масивом рангів, залежить виключно від максимального числа у вхідному масиві [7]. В результаті можна визначитись з гранично-максимальним часовим параметром процесу сортування. Таким чином, процес сортування в обчислювачі (рис.1) зорієнтовано на виконання крупноблочних операцій [11] і має всі ознаки як паралельного по словах, так і вертикального по бітах сортування, оскільки операції в обох масивах лічильників мають вигляд вертикально-групового [12] виконання операцій декремента/інкремента відповідно.

Отже, запропонований обчислювач з регулярною організацією структури має одну з важливих властивостей асоціативних систем [13], а саме вертикальний доступ в процесі обробки до елементів одновимірного масиву чисел. Один з прикладів такої обробки є вертикальна обробка по розрядних зрізах паралельно по словах [14]. Для неї характерним є постійний час обробки, що залежить від кількості розрядів (бітів) у словах.

В даній роботі пропонується альтернативний підхід до вертикальної обробки, а саме вертикально-паралельне сортування на базі швидкісних операцій декремента/інкремента, які виконуються відповідно над масивом даних та масивом рангів. Отже, в цьому випадку вертикально-паралельно обробляються як елементи масиву чисел, що сортуються, так і відповідні елементи масиву рангів, що значно прискорює час обчислювального процесу.

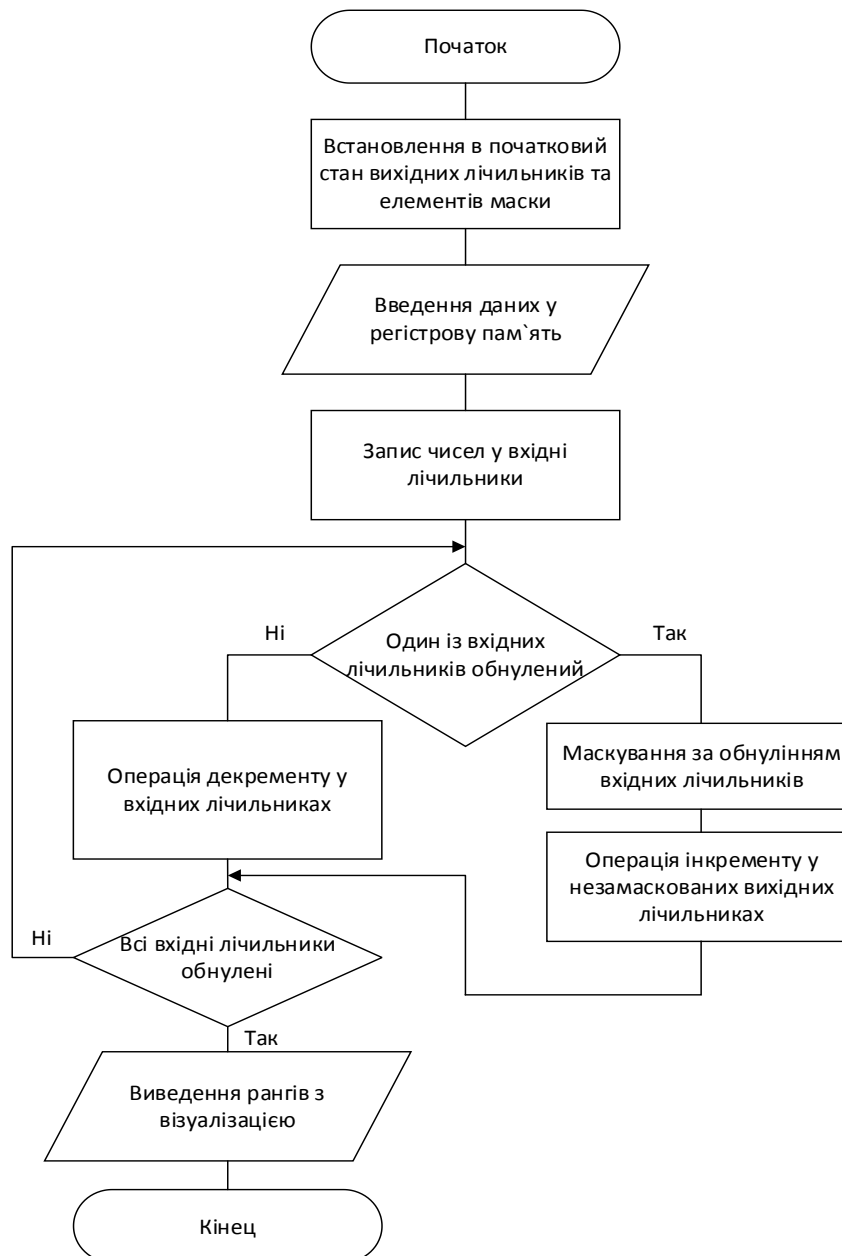


Рисунок 3 – Блок-схема алгоритму сортування з ранжуванням

Варіант реалізації блока індикації рангів

Ще одним базовим вузлом обчислювача є блок індикації (рис.1), який містить масив вихідних лічильників та масив індикаторів [9, 10]. Для масиву вихідних лічильників доцільно обрати мікросхему CD4026E, яку розроблено спеціально для роботи в схемах електронних годинників [15], в яких лічба виконується за рахунок спаду імпульсів додатної полярності на тактовому вході. Завдяки тому, що в обчислювачі цей масив лічильників є вихідним, на якому формуються відповідні ранги, тому існує можливість використати масив семисегментних індикаторів у блоці індикації (рис.1) для візуалізації результатів ранжування. В цьому випадку доцільно використати семисегментні індикатори А-801G [16], які оптимально підходять за кольором індикації (зелений) та сумісні за технічними характеристиками з обраною мікросхемою лічильників [10, 15]. В складі мікросхеми CD4026E наявний десятковий лічильник з виходами на семисегментний індикатор.

На рис. 4 наведено схему під'єднань мікросхеми CD4026E та індикатора А-801G.

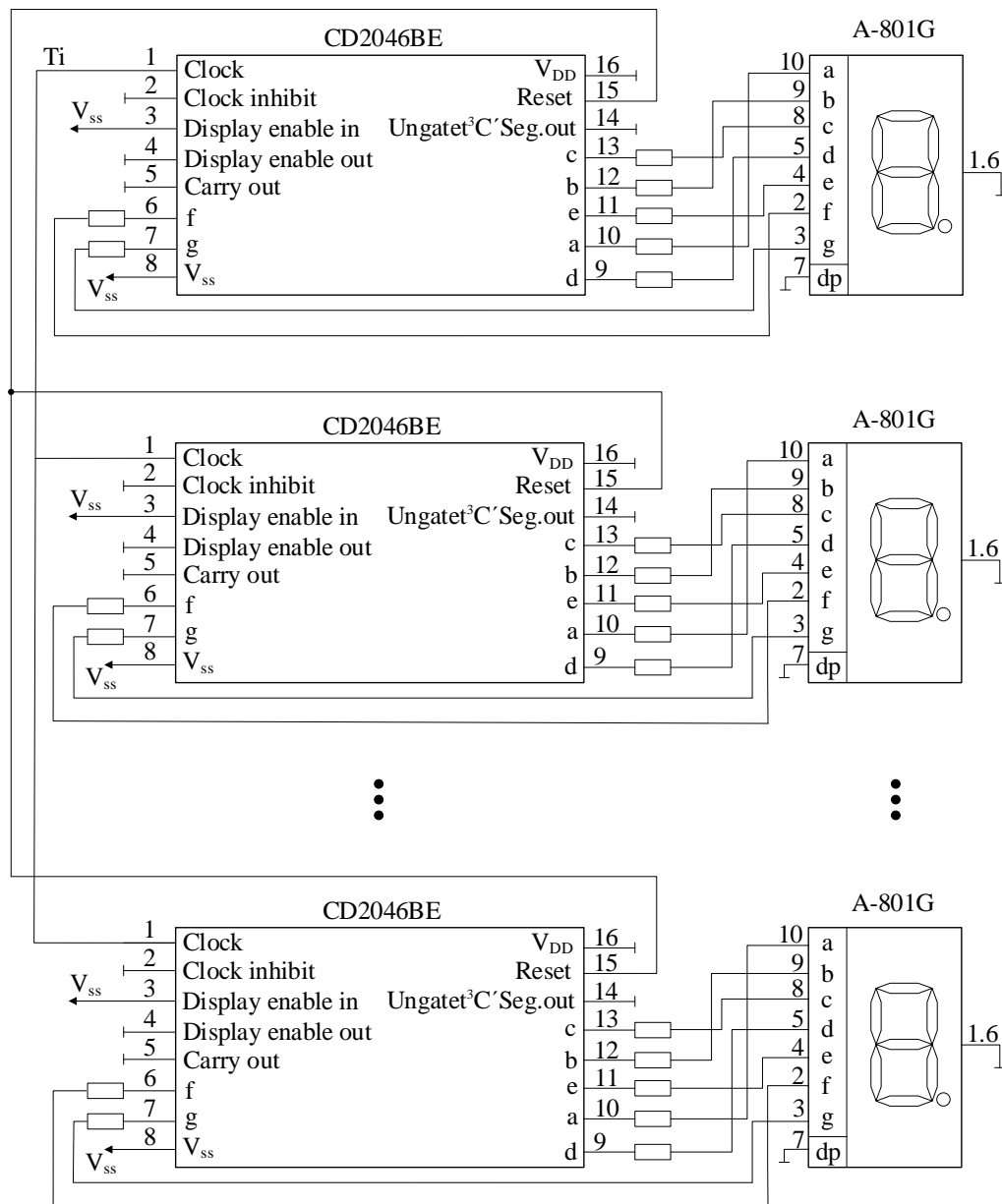


Рисунок 4 – Схема під'єднань мікросхеми CD4026E та індикатора A-801G

Наведену схему обчислювача (рис.1) планується зробити у вигляді макету для студентів при викладанні лабораторних робіт з дисципліни «Цифрова обробка сигналів». При цьому, якщо блок індикації (рис.1) побудовано на розглянутих мікросхемах: CD4026E та A-801G (рис.4), то попередні вузли, а саме, регістру пам'ять, пам'ять даних на лічильниках, масив елементів маски та вузол керування планується розмістити на мікросхемі ПЛІС типу FPGA [8].

Висновки

1. Запропоновано обчислювач, який має регулярну структуру та розширені функціональні можливості, оскільки виконує не тільки сортування елементів числового масиву, формує і запам'ятовує їх ранги, але й може візуалізувати результати ранжування.

2. Запропонована структура обчислювача має регулярність побудови як у горизонтальному, так і вертикальному напрямках, що дозволить ефективно її розмістити у мікросхемі ПЛІС типу FPGA з можливістю модульного нарощування, а отже, збільшення кількості входів для сортованого масиву чисел.

3. Відповідно час вертикально-паралельного процесу сортування із залученням швидкісних операцій декремента/інкремента залежить виключно від значення максимального числа серед масиву чисел. Це дозволить визначитись з гранично-максимальним часовим параметром обчислювача, а також прискорить процес сортування без задіяння часу на попарне порівняння та перестановку елементів числового масиву.

4. Показано, що в обчислювачі у масиві вихідних лічильників формуються ранги, отже, існує можливість використати масив семисегментних індикаторів, які узгоджені за параметрами з мікросхемами лічильників, для візуалізації результатів ранжування. Це робить зручним зчитування рангів у вигляді десяткової інформації з можливістю обрати як максимальний/мінімальний елемент, так і середній за значенням елемент у відсортованому масиві чисел.

Список літератури

- [1] Г. Лорин, *Сортировка и системы сортировки*. М., Россия: Мир, 1983.
- [2] Т. Б. Мартинюк, А. В. Медвідь, та О. М. Гуцол, «Моделювання процесу ранжування значень дискримінантних функцій», *Вісник Вінницького політехнічного інституту*, №5, с.47-80. 2013.
- [3] У. Прэтт, *Цифровая обработка изображений*. М., Россия: Мир, 1982.
- [4] Т. Б. Мартинюк, та Я. В. Запетрук, «Нейромережевий підхід до медичної експрес-діагностики», *Вісник Вінницького політехнічного інституту*, №6, с. 37-44. 2019.
- [5] Г. М. Гнатієнко, та В. Є. Снитюк, *Експертні технології прийняття рішень*, Монографія. Київ, Україна: ТОВ «Маклаут», 2008.
- [6] Т. Б. Мартинюк, Б. І. Круківський, та А. І. Друзюк, «Сортувальник з індикацією рангів елементів масиву чисел», *Оптоелектронні інформаційні технології «Фотоніка ОДС-2018»*, шоста міжнарод. наук.-техн. конф., 2-4 жовтня 2018р., збірник тез. Вінниця: Вид-во ПП «ТД Едельвейс і К», 2018, с.30.
- [7] Т. Б. Мартинюк, та Б. І. Круківський, «Модель паралельного сортувальника для асоціативного процесора», *Вісник Вінницького політехнічного інституту*, №5, с. 49-55. 2020.
- [8] В. Б. Стешенко, *ПЛИС фирмы «ALTERA»: элементная база, система проектирования и языки описания*. М., Россия: Додэка-XXI, 2002.
- [9] Т. Б. Мартинюк, та Б. І. Круківський, «Пристрій для ранжування чисел», *Патент України G06F 7/06. № 139604 МПК (2006.01)*, 12.08.2019.
- [10] Т. Б. Мартинюк, С. В. Богомолів, та Б. І. Круківський, «Особливості візуалізації результатів ранжування у сортувальнику числових масивів», на Всеукраїнській наук.-практ. конф., «Молодь в науці: дослідження, проблеми, перспективи (МН-2021)», ВНТУ, 01-14 травня, 2021.
- [11] Я. И. Фет, *Параллельные процессоры для управляющих систем*. М., Россия: Энергоиздат, 1981.
- [12] І. Г. Цмоць, В. Я. Антонів, та В. О. Парубчак, Паралельно-вертикальне сортування одновимірних даних методом злиття з використанням підрахунку. *Збірник наукових праць. Інститут проблем моделювання в енергетиці*, вип. 68, с. 92–100. 2013.
- [13] Е. А. Метлицкий и В. В. Каверзнев, *Системы параллельной памяти: Теория, проектирование, применение*. Л., Россия: Изд-во Ленинград. ун-та, 1989.
- [14] Т. Кохонен, *Ассоциативные запоминающие устройства*. Москва: Мир, 1982.
- [15] Мікросхема CD4026E. [Електронний ресурс]. Режим доступу: <http://www.payatel.ru/829-mikroshema-cd4026.html>.
- [16] А-801G. [Електронний ресурс]. Режим доступу: https://www.rcscomponents.kiev.ua/product/a-801g-indikator-semisegmentnyj_57562.html.

Стаття надійшла: 24.11.2021.

References

- [1] H. Lorin, *Sortirovka i sistemy sortirovki*. M., Rossija: Mir, 1983. [in Russian].
- [2] T. B. Martyniuk, A. V. Medvid, ta O. M. Hutsol, «Modeliuvannia protsesu ranzhuvannia znachen dyskryminantnykh funktsii», *Visnyk Vinnytskoho politekhnichnoho instytutu*, №5, s. 47-80. 2013 [in Ukrainian].
- [3] W. Prjett, *Cifrovaja obrobka izobrazhenij*. M., Rossija: Mir, 1982 [in Russian].
- [4] T. B. Martyniuk, ta Ya. V. Zapetruk, «Neiomerezhevyi pidkhdid do mediannoї ekspres-diahnostyky», *Visnyk Vinnytskoho politekhnichnoho instytutu*, №6, s. 37-44. 2019 [in Ukrainian].
- [5] H. M. Hnatiienko, ta V. Ye. Snytiuk, *Ekspertni tekhnolohii pryiniattia rishen*, Monohrafiia. Kyiv, Ukraina: TOV «Maklaut», 2008 [in Ukrainian].
- [6] T. B. Martyniuk, B. I. Krukivskyi, ta A. I. Druziuk, «Sortuvalnyk z indykatsiieiu ranhiv elementiv masyvu chysel», *Optoelektronni informatsiini tekhnolohii «Fotonika ODS-2018»*, shosta mizhnarod. nauk.-tekhn. konf., 2-4 zhovtnia 2018r., zbirnyk tez. Vinnytsia: Vyd-vo PP «TD Edel-veis i K», 2018, s. 30 [in Ukrainian].
- [7] T. B. Martyniuk, ta B. I. Krukivskyi, «Model paralelnoho sortuvalnyka dlia asotsiatyvnoho protsesora», *Visnyk Vinnytskoho politekhnichnoho instytutu*, №5, s. 49-55. 2020 [in Ukrainian].
- [8] V. B. Steshenko, *PLIS firmy «ALTERA»: jelementnaja baza, sistema proektirovanija i jazyki opisanija*. M., Rossija: Dodeka-XXI, 2002 [in Russian].
- [9] T. B. Martyniuk, ta B. I. Krukivskyi, «Prystrii dlia ranzhuvannia chysel», *Patent Ukrainy G06F 7/06. № 139604 MPK (2006.01)*, 12.08.2019 [in Ukrainian].

- [10] T. B. Martyniuk, S. V. Bohomolov, та B. I. Krukivskyi, «Osoblyvosti vizualizatsii rezultativ ranzhuvannia u sortovalnyku chyslovykh masyviv», *na Vseukrainskii nauk.-prakt. konf., «Molod v nauksi: doslidzhennia, problemy, perspektyvy (MN-2021)»*, VNTU, 01-14 travnia, 2021 [in Ukrainian].
- [11] Ja. I. Fet, *Parallel'nye processory dlja upravljajushchih sistem*. M., Rossija: Jenergoizdat, 1981 [in Russian].
- [12] I. H. Tsmots, V. Ya. Antoniv, та V. O. Parubchak, Paralelno-vertykalne sortuvannia odnovy-mirnykh danykh metodom zlyttia z vykorystanniam pidrakhunku. *Zbirnyk naukovykh prats. Instytut problem modeliuвання v enerhetytsi*, vyp. 68, s. 92–100, 2013 [in Ukrainian].
- [13] E. A. Metlickij i V. V. Kaverznev, *Sistemy parallel'noj pamjati: Teorija, proektirova-nie, primenenie*. L., Rossija: Izd-vo Leningrad. un-ta, 1989 [in Russian].
- [14] T. Kohonen, *Associativnye zapominajushhie ustrojstva*. Moskva: Mir, 1982 [in Russian].
- [15] Mikroskhema CD4026E. [Online]. Available: <http://www.payatel.ru/829-mikroskhema-cd4026.html>. [in Russian].
- [16] A-801G. [Online]. Available: https://www.rcscomponents.kiev.ua/product/a-801g-indikator-semisegmentnyj_57562.html.

Відомості про авторів

Мартинюк Тетяна Борисівна – доктор технічних наук, професор, професор кафедри обчислювальної техніки.

Крупельницький Леонід Віталійович – кандидат технічних наук, доцент, доцент кафедри обчислювальної техніки.

Круківський Богдан Ігорович – аспірант факультету інформаційних технологій та комп'ютерної інженерії.

Т. Б. Мартинюк, Л. В. Крупельницький, Б. І. Круковський

РЕГУЛЯРНАЯ ВЫЧИСЛИТЕЛЬНАЯ СТРУКТУРА ДЛЯ РАНЖИРОВАНИЯ ДАННЫХ

Винницкий национальный технический университет, Винница

T. B. Martyniuk, L. V. Krupelnitskyi, B. I. Krukivskyi

REGULAR COMPUTATIONAL STRUCTURE FOR DATA RANKING

Vinnitsia National Technical University, Vinnitsia